

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-186448

(43)Date of publication of application : 09.07.1999

(51)Int.Cl.

H01L 23/12  
H05K 3/46

(21)Application number : 09-355989

(71)Applicant : KYOCERA CORP

(22)Date of filing : 25.12.1997

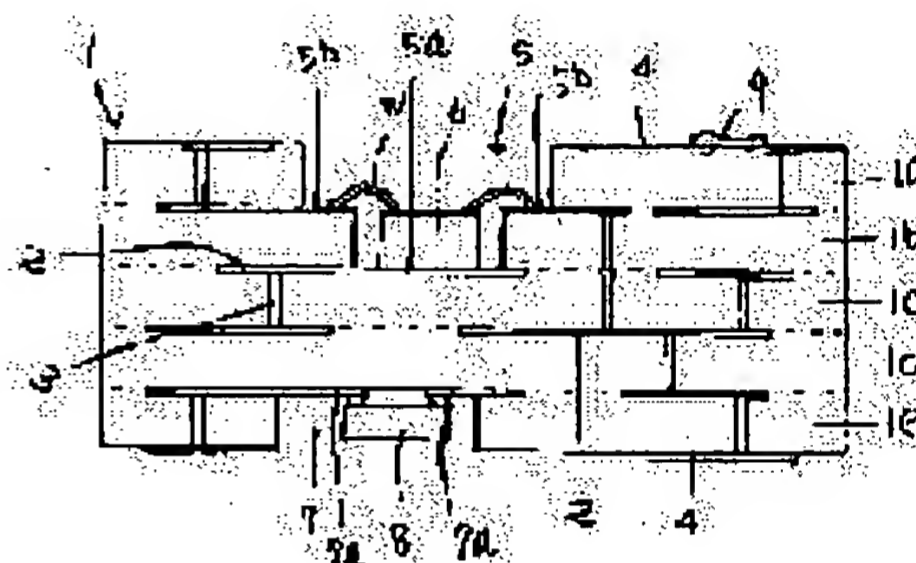
(72)Inventor : ODA TSUTOMU  
MORISHIGE KENICHIROU

## (54) MANUFACTURE OF STAKCED CERAMIC CIRCUIT BOARD

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To easily form a circuit board and to improve degree of freedom on a design in spite of an arrangement/form of a cavity part, by forming a ceramic coated film with coating and drying of a ceramic slip material having monomer which can be photo-set.

**SOLUTION:** A coated film of insulating layers 1a-1e by coating/drying processing of a ceramic slip material having monomer which can be photo-set is sequentially formed in each layer one by one, for example. At that time, the coated film of the insulating layers 1a-1e, where through holes becoming cavity parts 5 and 7 are to be formed, is formed by executing exposure/ development by using the characteristic of monomer which can be photo-set. Then, the through holes becoming the cavity parts 5 and 7 are filled with resin paste. The surface of the coating film where the through holes becoming the cavity parts are formed can substantially be made flat and therefore the subsequent coated film can stably be formed.



## LEGAL STATUS

[Date of request for examination]

25.09.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 1 8 6 4 4 8

(43) 公開日 平成11年(1999)7月9日

(51) Int. Cl. <sup>6</sup>

識別記号

F I

H 0 1 L 23/12

H 0 1 L 23/12

D

H 0 5 K 3/46

H 0 5 K 3/46

H

H 0 1 L 23/12

N

審査請求 未請求 請求項の数 1

O L

(全 1 1 頁)

(21) 出願番号 特願平9-355989

(22) 出願日 平成9年(1997)12月25日

(71) 出願人 000006633

京セラ株式会社

京都府京都市伏見区竹田鳥羽殿町6番地

(72) 発明者 小田 勉

鹿児島県国分市山下町1番1号 京セラ株式

会社鹿児島国分工場内

(72) 発明者 森茂 憲一郎

鹿児島県国分市山下町1番1号 京セラ株式

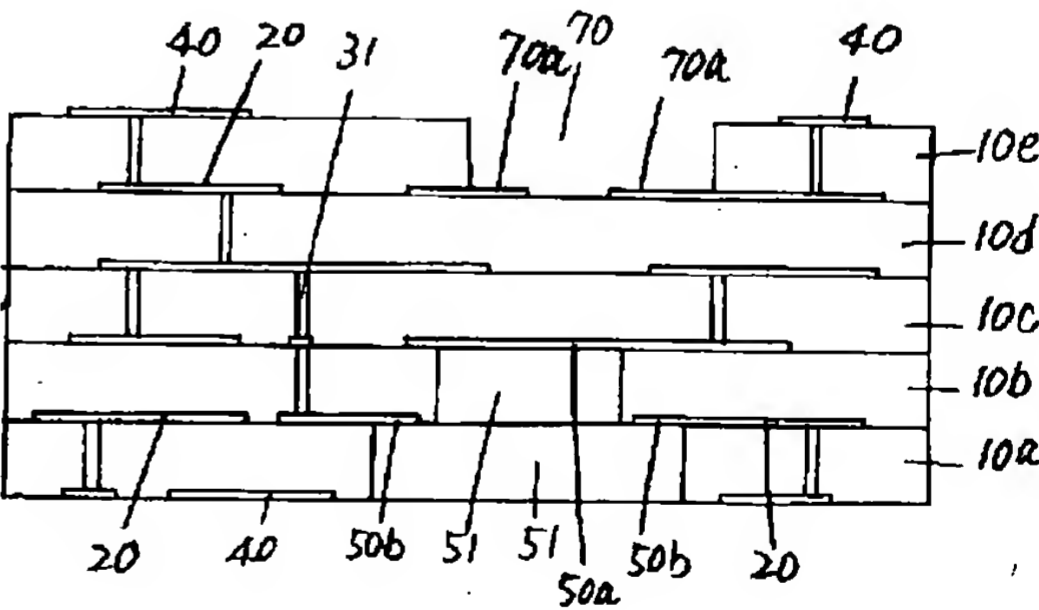
会社鹿児島国分工場内

(54) 【発明の名称】 積層セラミック回路基板の製造方法

(57) 【要約】

【課題】 本発明はキャビティ部の配置・形状にかかわらず簡単に形成でき、しかも設計の自由度が向上する積層セラミック回路基板の製造方法を提供する。

【解決手段】 (1) 光硬化可能なモノマーを有するセラミックスリップ材の塗布・乾燥処理によってセラミック層となる塗布膜を形成する工程、(2) 前記塗布膜に選択的な露光処理・現像処理を施すことによって塗布膜にキャビティ部形成用貫通孔を形成する工程、(3) 前記キャビティ部形成用貫通孔内に樹脂ペーストを印刷・充填処理するとともに、前記塗布膜上に内部導体パターン及び又は電子部品素子接続用パターンとなる導体膜を導電性ペーストを印刷処理して、内部導体パターン及び又は電子部品素子接続用パターンとなる導体膜を形成する工程の各工程(1)～(3)を順次繰り返して積層体を形成し、積層体を焼成した。



## 【特許請求の範囲】

【請求項 1】複数のセラミック層が積層されて成る積層体の内部に、内部導体パターン及びビアホール導体を配置するとともに、前記積層体の表面に電子部品素子を収納するキャビティ部を形成して成る積層セラミック回路基板の製造方法において、(1) 光硬化可能なモノマーを有するセラミックスリップ材の塗布・乾燥処理によってセラミック層となる塗布膜を形成する工程、(2) 前記塗布膜に選択的な露光処理・現像処理を施すことよ

10 て、ビアホール導体となる貫通孔を形成するとともに、少なくとも一方の表面に位置するセラミック層となる塗布膜に対してキャビティ部となる貫通孔を形成する工程、(3) ビアホール導体となる貫通孔内に導電部材を充填配置するとともに、前記塗布膜上に導電性ペーストを印刷処理して内部導体パターンとなる導体膜を形成するとともに、前記キャビティ部となる貫通孔を形成した塗布膜に対して、該キャビティ部となる貫通孔内に樹脂ペーストを充填して樹脂充填部材を形成する工程と、

(1)～(3) 工程の繰り返しで支持基板上に積層体を形成する工程、

前記支持基板上から前記積層体を剥離し、焼成処理する工程とから成る積層セラミック回路基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、セラミック層が積層して成る積層体基板の内部に、内部導体パターンを、表面に電子部品素子を収納するキャビティ部を形成した積層セラミック回路基板の製造方法に関するものである。

## 【0002】

【従来の技術】従来、積層体の表面に、半導体素子、圧電振動素子、半導体部品、圧電振動部品などの電子部品を収納するキャビティ部を形成してなる積層セラミック回路基板は、図 9 に示すよう断面図のように構成されている。

【0003】積層体 91 は、例えば、5 つ絶縁層 91 a ～ 91 e 構成されており、各絶縁層 91 a ～ 91 e 間には、内部導体パターン 92 が形成されており、各絶縁層 91 a ～ 91 e の厚み方向にはビアホール導体 93 が形成されている。そして、積層体 91 の一方主面に表面導体パターン 94 が形成されており、さらに、電子部品 96 を収納したキャビティ部 95 が形成されており、積層体 91 の他方主面に表面導体パターン 94 が形成されており、さらに、電子部品 98 を収納したキャビティ部 97 が形成されている。尚、キャビティ部 95 は、一方主面側の絶縁層 91 a 及び絶縁層 91 b に渡って形成されており、キャビティ部 95 の底面である絶縁層 91 c の表面に、電子部品 96 を接合するためのパターン 95 a が形成され、キャビティ部 95 の側面に露出する絶縁層 91 b の表面に、電子部品 96 と電氣的に接続するため

のパターン 95 b が形成されている。また、キャビティ部 97 は、他方主面側の絶縁層 91 e に形成されており、キャビティ部 97 の底面である絶縁層 91 d の表面に、電子部品 98 を接合し、且つ電氣的に接続するためのパターン 97 a、97 a が形成されている。

【0004】このような構造の積層セラミック回路基板は、絶縁層となるグリーンシートを用いたグリーンシート多層方法によって形成されている。

【0005】例えば、絶縁層 91 a ～ 91 e となる 5 つグリーンシートを用いて、まず、各絶縁層 91 a ～ 91 e のビアホール導体 93 となる貫通孔を形成する。

【0006】次に、各グリーンシートのビアホール導体 93 となる貫通孔に導電性ペーストを印刷・充填する。同時に、絶縁層 91 a ～ 91 e となるグリーンシートの上面及び又は下面に、表面導体パターン 94、内部導体パターン 92、接合パターン 95 a、接続パターン 95 b、接続パターン 97 a、97 a となる導体膜を印刷形成する。

【0007】次に、絶縁層 91 a ～ 91 e となるグリーンシートを積層順に応じて、積層し、所定圧力で圧着を行う。

【0008】次に、積層体 91 を脱バイ工程、焼結工程とから成る焼成処理を行う。これにより、各グリーンシートは、絶縁層 91 a ～ 91 e となり、各導体膜(導体)は、内部導体パターン 92、ビアホール導体 93、表面配線パターン 94、接合パターン 95 a、接続パターン 95 b、97 a となる。

【0009】次に、表面配線パターン 94 に接続する各種電子部品 99、例えば厚膜抵抗膜や半田接合される電子部品などを搭載した後、キャビティ部 95 内に電子部品 96 を搭載して、電子部品 96 の入出力電極と接続パターン 95 b との間にボンディングワイヤ W を介して電氣的に接続する。

## 【0010】

【発明が解決しようとする課題】キャビティ部 95、97 を有する積層セラミック回路基板を上述のグリーンシート多層方法で形成しようとする、キャビティ部 95、97 の底面部分の絶縁層 91 b ～ 91 e、91 a ～ 91 d 間の接合強度が低下してしまうという問題があった。

【0011】これは、積層圧着工程で、キャビティ部分とその周囲の表面部分とで、圧力の印加状態に差異が発生し、キャビティ部 95、97 の底面部分に十分な圧力が加わらないために発生するものである。

【0012】これを解決するにあたり、キャビティ部 95、97 の内部形状と同一形状の圧力補助治具をキャビティ部 95、97 に内部に収納して、積層圧着させたり、キャビティ部も圧力が印加されるプレス治具などを用いる必要があった。また、上述の治具を用いない積層方法としては、図 10 に示すように、キャビティ部 9

5となる貫通孔を形成した絶縁層91a～91bとなるグリーンシート、キャビティ部97となる貫通孔を形成した絶縁層91eとなるグリーンシート、絶縁層91c、91dとなるグリーンシートを別々に積層する。図10では、各々グリーンシート積層体を91x、91y、91zと記す。

【0013】次に、各3つの積層体91x、91y、91zを一体化すべく、積層圧着する。このような方法では、キャビティ部95、97の底面部分での絶縁層91b～91e、91a～91dは、第1回目の積層工程で

十分な圧力がかかるため、接合強度が低下することがない。

【0014】しかし、この方法では、以下の問題点を有していた。まず、圧着工程が非常に複雑となってしまう。また、図に示していないが積層体の一方主面のみにキャビティ部を有する場合には簡単に適用できるものの、図9、図10のように、積層体91の両主面にキャビティ部95、97を有し、且つキャビティ部95、97が平面的に重なりあう構造の場合には、重なりあう部分では、最終的に十分な圧力がかからなかった。

【0015】以上のように、上述の種々の方法であっても、量産性に優れ、且つキャビティ部の設計の自由度が十分に高い積層セラミック回路基板の製造方法とは言えなかった。

【0016】本発明は上述の問題点を鑑みて案出したものであり、その目的は、キャビティ部の配置・形状にかかわらず簡単に形成でき、しかも設計の自由度が向上する積層セラミック回路基板の製造方法を提供するものである。

#### 【0017】

【課題を解決するための手段】本発明によれば、複数のセラミック層が積層されて成る積層体の内部に、内部導体パターン及びビアホール導体を配置するとともに、前記積層体の表面に電子部品素子を収納するキャビティ部を形成して成る積層セラミック回路基板の製造方法において、(1)光硬化可能なモノマーを有するセラミックスリップ材の塗布・乾燥処理によってセラミック層となる塗布膜を形成する工程、(2)前記塗布膜に選択的な露光処理・現像処理を施すことよって、ビアホール導体となる貫通孔を形成するとともに、少なくとも一方の表面に位置するセラミック層となる塗布膜に対してキャビティ部となる貫通孔を形成する工程、(3)ビアホール導体となる貫通孔内に導電部材を充填配置するとともに、前記塗布膜上に導電性ペーストを印刷処理して内部導体パターンとなる導体膜を形成するとともに、前記キャビティ部となる貫通孔を形成した塗布膜に対して、該キャビティ部となる貫通孔内に樹脂ペーストを充填して樹脂充填部材を形成する工程と、(1)～(3)工程の繰り返して支持基板上に積層体を形成する工程、前記支持基板上から前記積層体を剥離し、焼成処理する工程と

から成る積層セラミック回路基板の製造方法である。

#### 【0018】

【作用】本発明によれば、光硬化可能なモノマーを有するセラミックスリップ材の塗布・乾燥処理によって絶縁層となる塗布膜が、一層、一層順次形成される。この時、キャビティ部となる貫通孔を形成すべき絶縁層の塗布膜は、光硬化可能なモノマーの特性を利用した露光・現像を行い、キャビティ部となる貫通孔が形成される。その後、このキャビティ部となる貫通孔は、樹脂ペーストに

充填される。

【0019】従って、このキャビティ部となる貫通孔を形成した塗布膜の表面は、実質的に平坦な面とすることができるため、その後の塗布膜を安定的に形成することができる。

【0020】従って、キャビティ部の配置、形状は、露光・現像の制御によって決定されるため、キャビティ部の配置・形状にかかわらず簡単に形成でき、しかも設計の自由度が向上する積層セラミック回路基板の製造方法となる。

#### 【0021】

【発明の実施の形態】以下、本発明の積層セラミック回路基板の製造方法を図面に基づいて説明する。

【0022】図1は、本発明に係る積層セラミック回路基板の断面図である。

【0023】図1において、1は積層体であり、2は内部導体パターン、3はビアホール導体、4は表面配線パターン、5は一方主面側のキャビティ部、7は他方主面側のキャビティ部、6はキャビティ部5内に収納配置された電子部品、8はキャビティ部6内に収納配置された電子部品である。

【0024】積層体1は、例えば5層のセラミック層(以下、絶縁層という)絶縁層1a～1eが積層されて構成されている。各絶縁層1a～1eの層間には内部導体パターン2が配置され、各絶縁層1a～1eの厚み方向に延びるビアホール導体3が配置されている。

【0025】また、積層体の一方主面には、表面導体パターン4が配置され、電子部品6が収納配置されたキャビティ部5が形成されている。また、積層体の他方主面には、表面導体パターン4が配置され、電子部品8が収納配置されたキャビティ部6が形成されている。

【0026】ここで、キャビティ部5は、一方主面側の絶縁層1a及び絶縁層1bに渡って形成されており、キャビティ部5の底面である絶縁層1cの表面に、電子部品6を接合するための接合パターン5aが形成され、キャビティ部5の側面に露出する絶縁層1bの表面に、電子部品6と電氣的に接続するための接続パターン5bが形成されている。また、キャビティ部7は、他方主面側の絶縁層1eに形成されており、キャビティ部7の底面である絶縁層1dの裏面に、電子部品8を接続するための接続パターン7aが形成されている。

【0027】絶縁層1a~1eは、例えば850~1050℃前後の比較的低い温度で焼成可能にするガラスセラミック材料からなる。具体的なセラミック材料としては、クリストバライト、石英、コランダム(αアルミナ)、ムライト、コージライトなどが例示できる。また、ガラス材料として複数の金属酸化物を含むガラスフリットを焼成処理することによって、コージェライト、ムライト、アノーサイト、セルジアン、スピネル、ガーナイト、ウイレマイト、ドロマイト、ペタライトやその置換誘導体の結晶を少なくとも1種類を析出するもので

【0028】内部導体パターン2、ビアホール導体3は、表面導体パターン4は、Ag系(Ag単体、Ag-PdなどのAg合金)、Cu系(Cu単体、Cu合金)など導体からなり、内部導体パターン2、表面導体パターン4の厚みは8~15μm程度であり、ビアホール導体3の直径は任意な値とすることができるが、例えば直径は80~250μmである。

【0029】ここで、内部導体パターン2は、所定回路網を構成したり、容量成分を発生する容量電極パターンを構成したり、所定インダクタンス成分を構成したり、アース導体膜を構成したりするものである。

【0030】表面配線パターン4は、Ag系(Ag単体、Ag-PdなどのAg合金)、Cu系(Cu単体、Cu合金)など導体から成り、主に所定回路網を構成したり、外部との接続を行う端子電極を構成したり、表面に実装された各種電子部品9の搭載用電極を構成したりする。

【0031】また、キャビティ部5内の接合パターン5aは、電子部品6を実装するためのパターンであり、接続パターン5bは電子部品6とボンディングワイヤWなどを介して内部導体パターン2とを接続するものである。

【0032】また、キャビティ部7内の接続パターン7aは、電子部品8を実装し、且つ機械的に接合するパターンである。このような接合方法としては、例えば半田バンプを用いたフリップチップ接合などが例示できる。

【0033】尚、厚膜抵抗膜9やガラス保護膜などが被着形成し、また、必要に応じて、電子部品6、8を収納したキャビティ部5、7には耐湿・耐衝撃保護部材が

【0034】特に、図1に示す構造では、一方主面のキャビティ部5の平面形状が、他方主面のキャビティ部7の平面形状と重なり合うように形成されている。

【0035】次に、本発明の積層セラミック回路基板の製造方法を図2の工程図、図3~図8は主要工程における断面図を基づいて説明する。

【0036】積層セラミック回路基板1の製造方法は、積層前の準備工程、図2に示す積層工程及び表面処理工程とから成る。

【0037】準備工程では、支持基板、絶縁層1a~1eとなる塗布膜を形成するスリップ材、内部導体パターン2となる導体膜を形成する導電性ペースト、ビアホール導体3となる導体を形成する導電性ペースト、表面導体パターン2となる導体膜を形成する導電性ペースト、キャビティ部用貫通孔に充填する樹脂ペーストを夫々準備する工程である。

【0038】〔支持基板〕支持基板15は、図3に示すように、セラミック、ガラス、耐熱性樹脂などの基板からなり、支持基板15の表面には基板平滑層16が形成される。

【0039】基板平滑層16は、光硬化可能なモノマー、バインダー、溶剤を均質混練したスリップ材を塗布・乾燥して塗布膜を形成し、その後、塗布膜の全面に露光処理して硬化することによって形成する。基板平滑層16の厚みは、少なくとも支持基板15の凹凸を吸収し得る程度の厚み、例えば20μm以上である。尚、この平滑層16は基板15の表面の凹凸を吸収して、積層体1の表面の平坦化する。

【0040】ここで、光硬化可能なモノマーは、比較的低温で且つ短時間の焼成工程で焼失できるように熱分解性に優れたものであり、また、スリップ材の塗布・乾燥後の露光によって、光重合される必要があり、遊離ラジカルの形成、連鎖生長付加重合が可能で、2級もしくは3級炭素を有したモノマーが好ましく、例えば少なくとも1つの重合可能なエチレン系基を有するブチルアクリレート等のアルキルアクリレートおよびそれらに対応するアルキルメタクリレートが有効である。また、テトラエチレングリコールジアクリレート等のポリエチレングリコールジアクリレートおよびそれらに対応するメタクリレートなどが挙げられる。

【0041】バインダーは、光硬化可能なモノマー同様に熱分解性の良好なものでなくてはならない。同時にスリップの粘性を決めるものである為、アクリル酸もしくはメタクリル酸系重合体のようなカルボキシル基、アルコール性水酸基を備えたエチレン性不飽和化合物が好ましい。尚、光硬化可能なモノマーとバインダーとの比率は、1~3:5程度に添加される。

【0042】溶剤として、有機系溶剤、水系溶剤を用いることができる。尚、水系溶剤の場合、光硬化可能なモノマー及びバインダーは、水溶性である必要があり、モノマー及びバインダーには、親水性の官能基、例えばカルボキシル基が付加されている。その付加量は酸価で表せば2~300あり、好ましくは5~100である。

【0043】上述のスリップ材は、光硬化可能なモノマー及びバインダーが上述したように積層体の焼成の過程で完全に熱分解しなくてはならないが、特に、600℃以下、好ましくは500℃以下で分解する材料を選択する。

【0044】また、スリップ材には、増感剤、光開始系

材料等を必要に応じて添加しても構わない。例えば、光開始系材料としては、ベンゾフェノン類、アシロインエステル類化合物などが挙げられる。

【0045】スリップ材の塗布方法としては、例えば、ドクターブレード法（ナイフコート法）、ロールコート法、印刷法などが挙げられる。特に基板平滑層16の表面が平坦化することが容易なドクターブレード法などが好適である。尚、塗布方法に応じて溶剤の添加量が調整され、所定粘度に調整される。

【0046】乾燥方法としては、バッチ式乾燥炉、インライン式乾燥炉を用いて行われ、乾燥条件は、120℃以下が望ましい。また、急激な乾燥は、表面にクラックを発生される可能性があるため、急加熱を避けることが重要となる。

【0047】露光処理としては、塗布膜中に含まれる光硬化可能なモノマーが光重合されるネガ型であるため、塗布膜全面に低圧、高圧、超高压の水銀灯系の露光光を照射する。尚、露光条件は、10～20mW/cm<sup>2</sup>の露光光を約5～30秒程度照射して行う。これにより、塗布膜は、光硬化可能なモノマーの光重合反応を起し、光硬化されることになる。

【0048】〔セラミックスリップ材〕セラミックスリップ材は、セラミック粉末、必要に応じてガラスフリット、光硬化可能なモノマー、バインダー、溶剤を均質混練して形成する。

【0049】セラミック粉末は、クリストバライト、石英、コランダム（αアルミナ）、ムライト、コージライトなどの絶縁セラミック材料、BaTiO<sub>3</sub>、Pb<sub>4</sub>Fe<sub>2</sub>Nb<sub>2</sub>O<sub>12</sub>、TiO<sub>2</sub>などの誘電体セラミック材料、Ni-Znフェライト、Mn-Znフェライト（広義の意味でセラミックという）などの磁性体セラミック材料などが挙げられ、その平均粒径1.0～6.0μm、好ましくは1.5～4.0μmに粉碎したものをを用いる。尚、セラミック材料は2種以上混合して用いられてもよい。特に、コランダムを用いた場合、コスト的に有利となる。

【0050】ガラスフリットは、焼成処理することによってコージエライト、ムライト、アノーサイト、セルジアン、スピネル、ガーナイト、ウイレマイト、ドロマイト、ペタライトやその置換誘導体の結晶やスピネル構造の結晶相を析出するものであればよく、例えば、B<sub>2</sub>O<sub>3</sub>、SiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、ZnO、アルカリ土類酸化物を含むガラスフリットが挙げられる。この様なガラスフリットは、ガラス化範囲が広くまた屈伏点が600～800℃付近にあるため、850～1050℃程度の低温焼成に適し、内部導体パターン2となる導体膜21との焼結挙動が近似しているためである。尚、このガラスフリットの平均粒径は、1.0～6.0μm、好ましくは1.5～3.5μmである。

【0051】上述のセラミック材料とガラス材料との構

成比率は、850～1050℃の比較的低温で焼成する場合には、セラミック材料が10～60wt%、好ましくは30～50wt%であり、ガラス材料が90～40wt%、好ましくは70～50wt%である。

【0052】尚、セラミック材料として、誘電体セラミック材料や磁性体セラミック材料とともに用いる場合には、セラミック材料の固有の特性を低下させることがあるため、ガラスフリットは必要に応じて添加する。

【0053】光硬化可能なモノマーは、基板平滑層16に用いた材料ものが使用できる。これは、露光条件を略同一とするためである。光硬化可能なモノマーは、露光処理後の現像処理によって露光部分以外の部分が容易に除去できるように所定量添加される。例えば、固形成分（セラミック材料及びガラス材料）に対して5～15wt%以下である。バインダーは、固形分との濡れ性も重視する必要があり、基板平滑層16に用いた材料ものが使用できる。添加量としては固形分に対して25wt%以下が好ましい。

【0054】溶剤として、有機系溶剤、水系溶剤を用いることができる。尚、水系溶剤の場合、光硬化可能なモノマー及びバインダーは、水溶性である必要があり、モノマー及びバインダーには、親水性の官能基、例えばカルボキシル基が付加されている。その付加量は酸価で表せば2～300であり、好ましくは5～100である。

【0055】付加量が少ない場合は水への溶解性、固定成分の粉末の分散性が悪くなり、多い場合は熱分解性が悪くなるため、付加量は、水への溶解性、分散性、熱分解性を考慮して、上述の範囲で適宜付加される。

【0056】また、スリップ材には、増感剤、光開始系材料等を必要に応じて添加しても構わない。例えば、光開始系材料としては、ベンゾフェノン類、アシロインエステル類化合物などが挙げられる。

【0057】〔導電性ペースト〕内部導体パターン2（接合パターン5a、接続パターン5b、7a）及び表面配線パターン4、ビアホール導体3を形成するための導電性ペーストは、Ag系（Ag単体、Ag-PdなどのAg合金）、Cu系（Cu単体、Cu合金）など導体材料粉末、例えば銀系粉末と、低融点ガラス成分と、バインダーと溶剤とを均質混練したものが用いられる。

尚、各導体の焼成終了後の熱収縮率や基板との接合挙動とを考慮して、低融点ガラス成分以外に、V<sub>2</sub>O<sub>5</sub>や空中シリカなどの目的に応じて種々添加して、内部配線パターン2（接合パターン5a、接続パターン5b、7a）を形成するための導電性ペースト、表面配線パターン4を形成するための導電性ペースト、ビアホール導体3を形成するための導電性ペーストを形成しても構わない。

【0058】〔樹脂ペースト〕樹脂ペーストは、キャビティ部用貫通孔に充填する部材であり、例えばアクリル系樹脂材料からなる。好ましくは、熱分解性を考慮し

て、アルキルメタクリレート、テトラエチレングリコールジアクリレート等のポリエチレングリコールジアクリレートおよびそれらに対応するメタクリレートなどが挙げられる。

【0059】〔積層工程〕次に、図3(a)に示す基板平滑層16を形成した支持基板15を用いて、セラミックスリップ材、導電性ペーストを用いて積層工程を行う。尚、支持基板15は、最終的に複数の積層体が抽出できるよう複数の積層体の領域を同時に形成するが、ここでは、1つの積層体の領域について説明する。

【0060】まず、積層工程として、図2の(a)工程で、支持基板15の基板平滑層16上に、積層体1の一方主面側の表面配線パターン4となる導体膜40を形成する。具体的には、上述の導電性ペーストを用いて、所定形状にスクリーン印刷することにより形成される(図3(b)参照)。尚、以下、基板平滑層16を形成した支持基板15を単に支持基板15という。

【0061】次に、図2の(b)の工程として、絶縁層1aとなるセラミック塗布膜10aを形成する。即ち第n番(n=1)のセラミック塗布膜の塗布を行う。

【0062】このセラミック塗布膜10aは、先の工程で形成した導体膜40を覆うように、各領域を越えて支持基板15の全面に形成する。具体的には、上述のセラミックスリップ材をドクターブレード法などで塗布し、乾燥処理(バッチ式乾燥炉、インライン式乾燥炉で120℃以下)を行う。この塗布膜10aを形成する際、例えばドクターブレード法のブレードの高低制御を行い、塗布膜10aの厚みを、絶縁層1aの厚み例えば100μm程度に対応するように制御を行う(図3(c)参照)。

【0063】次に、図2の(c)の工程として、セラミック塗布膜10aにビアホール導体貫通孔30及びキャビティ部用貫通孔50aを形成する。

【0064】具体的には、塗布膜10aを選択的な露光処理・現像処理を行い、塗布膜10aの厚みを貫通させる。

【0065】露光処理は、図3(d)に示すように、絶縁層1aの厚みを貫通するビアホール導体3となる位置に貫通孔30、キャビティ部5となる位置に貫通孔50を形成するため、この部分のみに露光光が照射されないような所定パターンを有するフォトターゲットFをセラミック塗布膜10a上に近接又は載置して、上述の露光条件(低圧、高圧、超高圧の水銀灯系の10~20mW/cm<sup>2</sup>の露光光を約5~30秒程度照射する)で処理を行う。

【0066】これにより、露光処理によって光硬化モノマーが重合した部分は不溶化部Xとなり、重合しなかった部分は溶化部yとなる。

【0067】現像処理は、図3(e)に示すように、選択的な露光処理を行った塗布膜10aに有機系のクロロ

セン、1, 1, 1-トリクロロエタン、アルカリ系溶剤などの現像溶剤を、例えばスプレー現像法やパドル現像法によって噴射したり、接触したりして、上述の溶化部yを現像除去する。その後、必要に応じて洗浄及び乾燥を行なう。

【0068】上述の選択的な露光処理・現像処理によって、ビアホール導体3となる貫通孔30及びキャビティ部5となる貫通孔の形状、径などは、フォトターゲットの形状次第で、任意に設定できる。即ち、キャビティ部5の形状を考慮して、大電力が流れるビアホール導体を考慮してその形状を任意に設定することができる。また、ビアホール導体3及びキャビティ部5の位置ずれがなく、ビアホール導体3の導通信頼性やキャビティ部5の形状の精度が大きく向上する。

【0069】次に、図2の(d)の工程として、図4(a)に示すように、セラミック塗布膜10aに形成したキャビティ部用貫通孔50内に樹脂充填部材51を充填して、実質的にセラミック塗布膜10aの表面を平坦化する。

【0070】具体的には、キャビティ部用貫通孔50内に樹脂ペーストをデスペンサーや印刷方法などによって充填供給し、150~180℃で熱硬化したり、紫外線硬化したりする。

【0071】次に、図2の(e)の工程として、図4(b)に示すように、ビアホール導体用貫通孔30にビアホール導体3となる導体31を充填する。具体的には、上述の導電性ペーストを用いてスクリーン印刷法などにより充填印刷を行い、必要に応じて乾燥処理を行う。

【0072】次に、図2の(f)の工程として、図5(a)に示すように、塗布膜10a上に、内部導体パターン2となる導体膜20を形成する。具体的には、上述の導電性ペーストを用いて、所定形状にスクリーン印刷することにより形成される。

【0073】尚、導体膜20の内、樹脂充填部材51上に形成される導体膜は、最終的に接続パターン5bとなる。図5(a)では、その導体膜を50bで示す。

【0074】尚、上述の図2の(c)の工程である貫通孔50内に充填部材51の充填工程と、図2の(d)の工程である貫通孔30内に導体31を充填印刷する工程とを入れ換えても構わない。また、図2の(d)の工程である貫通孔30内に導体31で、内部導体パターン2となる導体膜20(接続パターン5bとなる導体膜50bを除く)を同一の印刷工程で形成することもできる。

【0075】次に、図2の(b)の工程を繰り返し、即ち、第2層目(n=2)のセラミック塗布膜10bを形成する。この状態を、図5(b)に示す。そして、図2の(c)の工程により、塗布膜10bにビアホール導体3となる貫通孔30及びキャビティ部5となる貫通孔50を形成する。そして、図2の(d)の工程により、キ

ャビティ部5となる貫通孔50に樹脂充填部材51を充填供給し、図2の(e)の工程であるビアホール導体3となる貫通孔30内に導体31を充填印刷し、さらに、図2の(f)の工程である内部配線パターン2となる導体膜20及び接合パターン5aとなる導体膜50aを印刷形成する。この工程までで、絶縁層1bとなる塗布膜10bが形成されることになるが、特に、塗布膜10aの樹脂充填部材51と塗布膜10bの樹脂充填部材51によって、キャビティ部5の形状が決定されることになる。また、キャビティ部5の側面から露出する接続パターン5b、接合パターン5aとなる各導体膜が形成されることになる。

【0076】続いて、図2の(b)の工程を繰り返し、即ち、第3層目( $n=2$ )のセラミック塗布膜10cを形成する。尚、この絶縁層1cには、キャビティ部は存在しないため、図2の(c)の工程のキャビティ部用貫通孔の形成は省略する。同時に、図2の(d)の工程のキャビティ部用貫通孔内に樹脂充填部材を形成する工程も省略できる。従って、塗布膜10bに対して、図2の(c)の工程のビアホール導体3となる貫通孔30のみを形成し、続いて、図2の(e)の工程の貫通孔30内に導体を充填印刷し、続いて、図2の(f)の工程の内部導体パターン2となる導体膜20の形成を行う。このキャビティ部の塗布膜、例えば10cでは、ビアホール導体3となる導体と内部導体パターン2となる導体膜20の形成を一括的に行うことができる。

【0077】さらに、第4回目( $n=4$ )の図2の(b)の工程を繰り返し、セラミック塗布膜10dの形成、図2の(c)の工程のキャビティ部用貫通孔30の形成、図2の(e)の工程の貫通孔30内に導体31を充填印刷、図2の(f)の工程の絶縁層1dと1eとの間の内部導体パターン2となる導体膜20及び接合パターン7aとなる導体膜70aの形成を行う。

【0078】最後に、第5回目( $n=5$ )の図2の(b)の工程を繰り返し、絶縁層1eとなるセラミック塗布膜10eを形成する。尚、絶縁層1eには、キャビティ部7が存在するため、図2の(c)の工程で、ビアホール導体3となる貫通孔30及びキャビティ部7となる貫通孔70を形成する。次に、図2の(e)の工程のビアホール導体3となる貫通孔30に導体31を充填印刷する。

【0079】この状態を図6(a)である。この塗布膜10eは、最外層の絶縁層1eとなり、これ以上の塗布膜がないため、図2の(c)の工程であるキャビティ部7となる貫通孔70に樹脂充填部材の供給を省略している。尚、仮に、絶縁層1e上にキャビティ部を含む絶縁層を形成する場合には、図2の(c)の工程を行う。

【0080】次に、図2の(g)の工程として、図6(b)に示すように、塗布膜10a~10eからなる積層体の表面、表面導体パターン4となる導体膜40を、

上述の導電性ペーストの印刷、乾燥により形成する。

【0081】これにより、積層体の積層工程は完了する。

【0082】尚、上述の内部導体パターン2、接続パターン5b、7a、接合パターン5aとなる導体膜、及び表面導体パターン4となる導体膜は、導電性ペーストを用いた選択的なスクリーン印刷により、その形状を決定しているが、例えば、導電性ペーストに光硬化モノマーを添加しておき、導体膜を形成した塗布膜の全面に、導電性ペーストの印刷により、一次導体膜を形成しておき、さらに、選択的な露光・現像処理により、所定形状の導体膜を形成しても構わない。

【0083】また、キャビティ部5となる貫通孔に、樹脂充填部材51を配置すべき、樹脂ペーストの供給・硬化を行うが、キャビティ部の深さなどやキャビティ部の側面、底面に現れる絶縁層どうおしの接合を安定化するために、樹脂ペースト中にも、光硬化モノマーを添加しておき、ドクターブレード法で貫通孔を完全に充填し、不要な樹脂部分のみを露光・現像で除去してもよい。

【0084】尚、積層工程を終了した後に、各積層体の形状に応じて、各領域を区画する分割溝をプレス成型などによって形成することが望ましい。

【0085】〔剥離工程〕次に、図2の(h)の工程として、図7に示すように、積層体と支持基板15とを分離する。尚、基板平滑層16は上述のように熱分解性の良好な材料を用いるために、積層体に残存していても構わない。具体的には、支持基板15を湾曲させてり、剥離界面にカッター刃を平面状に摺動する。尚、基板平滑層16自身に発泡性反応を起こす樹脂材を混合させておき、加熱処理して剥離を容易にしても構わない。また、支持基板15と基板平滑層16の界面部分に有機溶剤によって溶解するシートを介在させておき、有機溶剤に浸漬しても構わない。有機溶剤によって溶解するシートを用いる場合には、セラミックスリップ材、導電性ペーストにバインダー、光硬化可能なモノマーに水系を用い、溶剤に純水などを用いることが重要となる。

【0086】〔焼成工程〕次に、図2の(i)の工程として、図6(b)に示すように、支持基板15から剥離した基板平滑層16、表面配線パターン4となる導体膜40を含む積層体を焼成処理する。焼成処理は、脱バインダ過程と焼結過程からなる。

【0087】脱バインダ処理は、セラミック塗布膜10a~10e、内部導体パターン2となる導体膜20、接合パターン5aとなる導体膜50a、接続パターン5b、7aとなる導体膜50b、70a、ビアホール導体3となる導体31、表面配線パターン4となる導体膜40に含まれる有機成分及び基板平滑層16及びキャビティ部5となる貫通孔50内の樹脂充填部材51を焼失するためのものであり、例えば600℃以下の温度領域で行われる。

【0088】また、焼結処理は、セラミック塗布膜10a~10eのガラス成分を結晶化させて、セラミック粉末の粒界に均一に分散させ、積層体1に一定強度を与え、同時に、各導体31、導体膜20、41、50a、50b、70aの銀系粉末が粒成長させて、低抵抗化させるものである。これにより、絶縁層1a~1eと各導体パターンは一体化する。尚、焼結処理のピーク温度850~1050℃に達する温度領域で行われる。

【0089】焼成雰囲気は、導電性ペーストの材料などによって異なり、上述のようにAg系導体の場合は、大気（酸化性）雰囲気又は中性雰囲気で行われ、Cu系導体の場合は、還元性雰囲気又は中性雰囲気で行われる。

【0090】これにより、塗布膜10a~10eは絶縁層1a~1eとなり、導体膜21は内部導体パターン2に、導体31はビアホール導体3に、導体膜41は表面配線パターン4となり、焼成された大型積層体となる。

【0091】〔表面処理〕次に、図2の(i)の工程として、積層体の表面処理を行う。例えば、積層体の表面に厚膜抵抗膜9や保護膜などを焼き付けを行い、表面導体パターンに半田接合する各種電子部品を搭載する。

【0092】次に、図2の(k)の工程して、キャビティ部5、7内に電子部品6、8を当搭載・接続を行う。

【0093】例えば、キャビティ部7内の電子部品8を、例えば半田バンプにより接続する場合は、上述の表面配線パターンに電子部品の接合と同時に接続することができる。

【0094】また、キャビティ部5の底面の接合パターン5aには、ダイアタッチ材を介して、ICチップなどの電子部品6を接合し、ボンディングワイヤWを用いて、電子部品6の入出力電極と接続パターン5bとを接続を行う。尚、図で省略しているが、キャビティ部5、7内部に、電子部品6、8を被覆するようにエポキシ樹脂などを充填し、硬化させて、電子部品6、8の保護部材とを形成する。

【0095】その後、必要に応じて、大型積層体を所定形状の積層体に分割する。これによって、図1に示す構造の積層セラミック回路基板が完成する。

【0096】本発明の製造方法では、絶縁層1a~1eは、光硬化可能なセラミックスリップ材を用いて、一層一層積層する製造方法を基本にしており、積層圧着工程が不要となる。従って、積層圧着時に、キャビティ部となる貫通孔の形状を維持させるための治具などを用いる必要がない。また、このキャビティ部となる貫通孔は、セラミックスリップ材の塗布膜の選択的な露光・現像処理によって形成される。そして、キャビティ部の貫通孔は、焼成工程で焼失される樹脂充填部材51が配置される。従って、キャビティ部の貫通孔を形成したとしても、その塗布膜の表面は、実質的に平性が維持できる。そのため、次の塗布膜を安定して形成することができる。

【0097】また、当該塗布膜の塗布工程においては、前の塗布膜に形成されたキャビティ部の貫通孔とは全く無関係である。このため、積層体の両主面で、キャビティ部5、7が平面的に重なっていても、何ら支障なく形成することができるため、積層体1の設計、特に、キャビティ部の配置位置を任意位置に設定できることとなる。

【0098】尚、上述の製造方法において、分割溝を支持基板15から積層体1を剥離する前に形成したが、要は焼成前に形成することが重要であり、支持基板15を剥離した後に、積層体の両主面側に形成してもかまわない。また、分割溝にそって行う分割処理について、上述の製造工程は、表面処理工程の最後におこなっているが、電子部品を搭載する前に分割処理しても構わない。また、表面配線パターン4を積層体の焼成前に形成し、積層体と一体的に焼成しているが、焼成後に、別体に導電性ペーストの印刷焼き付けにより形成しても構わない。また、キャビティ部7が2つの塗布膜に渡って形成される場合には、下層側の塗布膜に形成したキャビティ部7となる貫通孔に樹脂の充填部材を充填する必要がある。

【0099】また、光硬化モノマーは、セラミックスリップ材のみならず、各種導電性ペースト及び樹脂ペーストにも含有させ、内部導体パターン2、接合パターン5a、接続パターン5b、7a、表面配線パターン4、ビアホール導体3を形成するにあたり、塗布膜の全面に導体膜を形成し、その後、選択的な露光・現像を行い、また、キャビティ部5、7となる貫通孔にドクターブレード法により充填して、選択的な露光・現像でキャビティ部5、7の形状に応じた露光・現像を行っても構わない。

#### 【0100】

【発明の効果】以上のように本発明によれば、積層体が、光硬化可能なモノマーを有するセラミックスリップ材と、セラミックスリップ材の塗布、乾燥によりセラミック塗布膜を形成し、そのセラミック塗布膜の選択的な露光処理・現像処理によってビアホール導体となる貫通孔及びキャビティ部となる貫通孔を形成し、ビアホール導体となる貫通孔には導体ペースト（導体）を、キャビティ部となる貫通孔には樹脂ペースト（樹脂充填部材）を配置している。

【0101】従って、塗布膜の表面を常に平坦化させた状態とするため、内部導体パターンを安定して形成でき、次の塗布膜を形成しても、特に、キャビティ部となる貫通孔の存在による影響が全くない。

【0102】そして、キャビティ部となる貫通孔に充填された樹脂充填部材は、積層体の焼結処理に焼失させることになる。

【0103】これによって、積層体の両主面の任意箇所に、選択的な露光、現像による形状の精度が高いキャビ

ティ部を形成することができる。特に、両主面におけるキャビティ部が互いに対向するような配置であっても、キャビティ部を自由に配置することができるため、積層セラミック回路基板の設計が非常に容易となる。

【図面の簡単な説明】

【図1】本発明に係る積層セラミック基板の断面図である。

【図2】本発明の積層セラミック基板の製造を説明するための工程図である。

【図3】(a)～(e)は本発明の積層セラミック基板の製造の主要工程における概略図である。

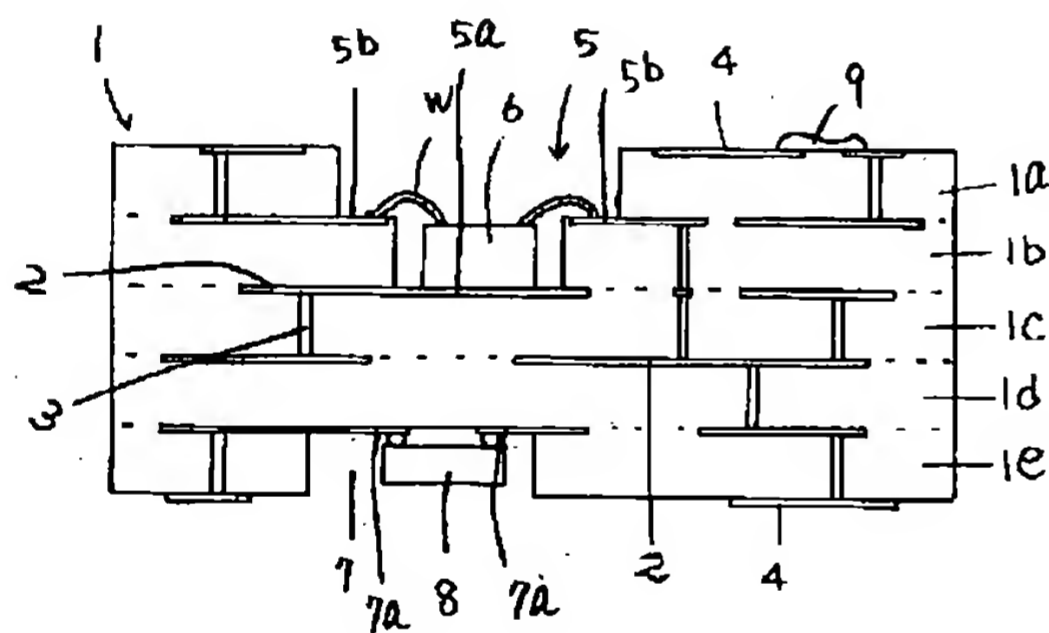
【図4】(a)～(b)は本発明の積層セラミック基板の製造の主要工程における概略図である。

【図5】(a)～(b)は本発明の積層セラミック基板の製造の主要工程における概略図である。

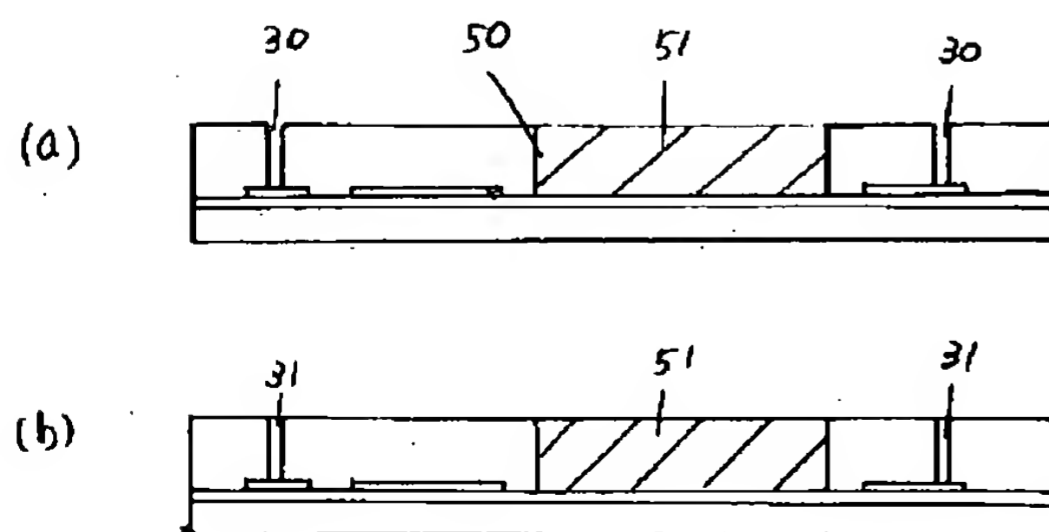
【図6】(a)～(b)は本発明の積層セラミック基板の製造の主要工程における概略図である。

【図7】本発明の積層セラミック基板の製造の主要工程

【図1】



【図4】



における概略図である。

【図8】本発明の積層セラミック基板の製造の主要工程における概略図である。

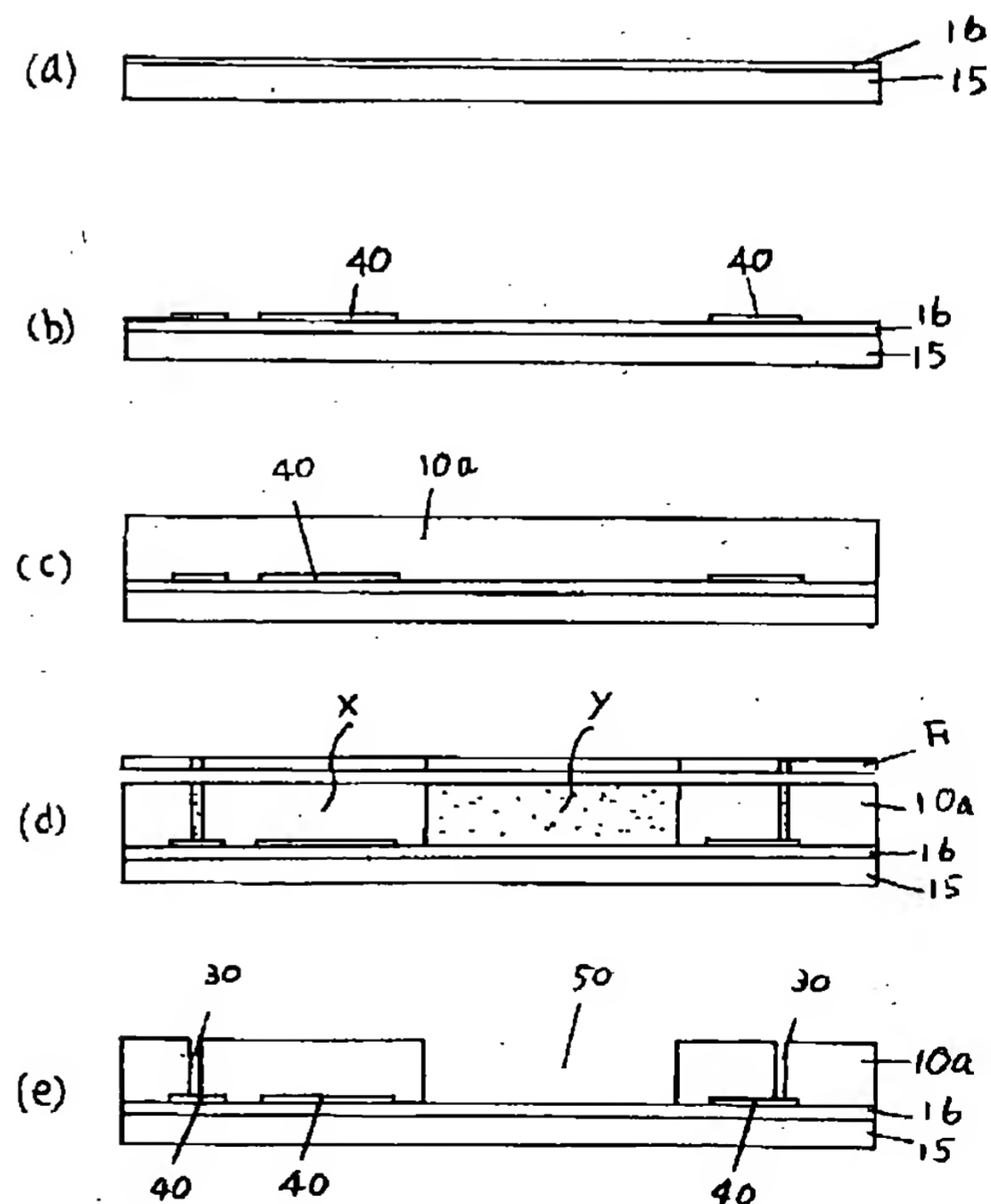
【図9】従来の積層セラミック基板の断面図である。

【図10】従来の積層セラミック基板の製造の主要工程における概略図である。

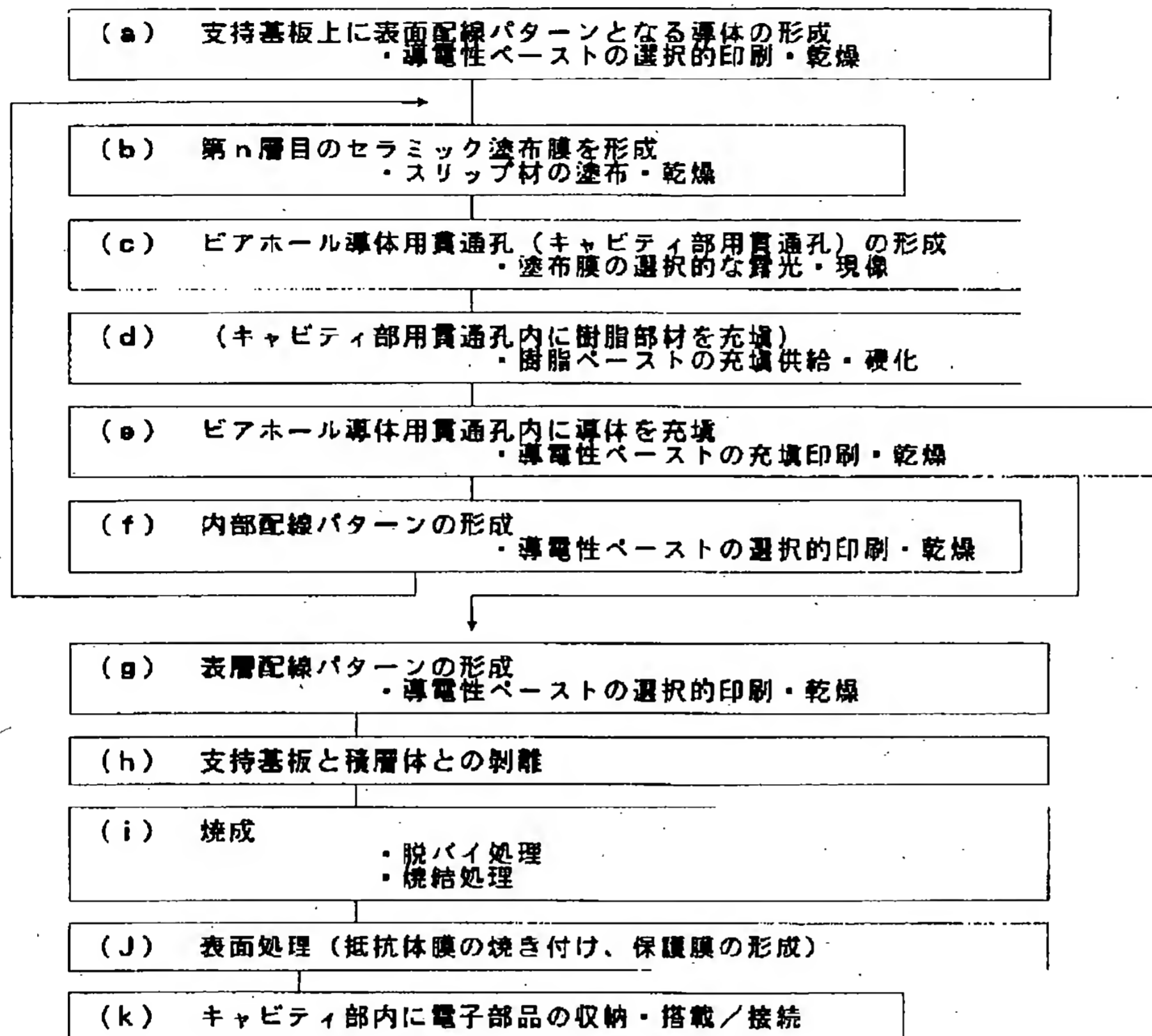
【符号の説明】

- 1・・・積層体
- 1a～1e・・・絶縁層
- 10a～10e・・・絶縁膜
- 2・・・内部導体パターン
- 3・・・ビアホール導体
- 30・・・貫通凹部
- 31・・・ビアホール導体となる導体
- 4・・・表面配線パターン
- 5、7・・・キャビティ部
- 6、8・・・電子部品

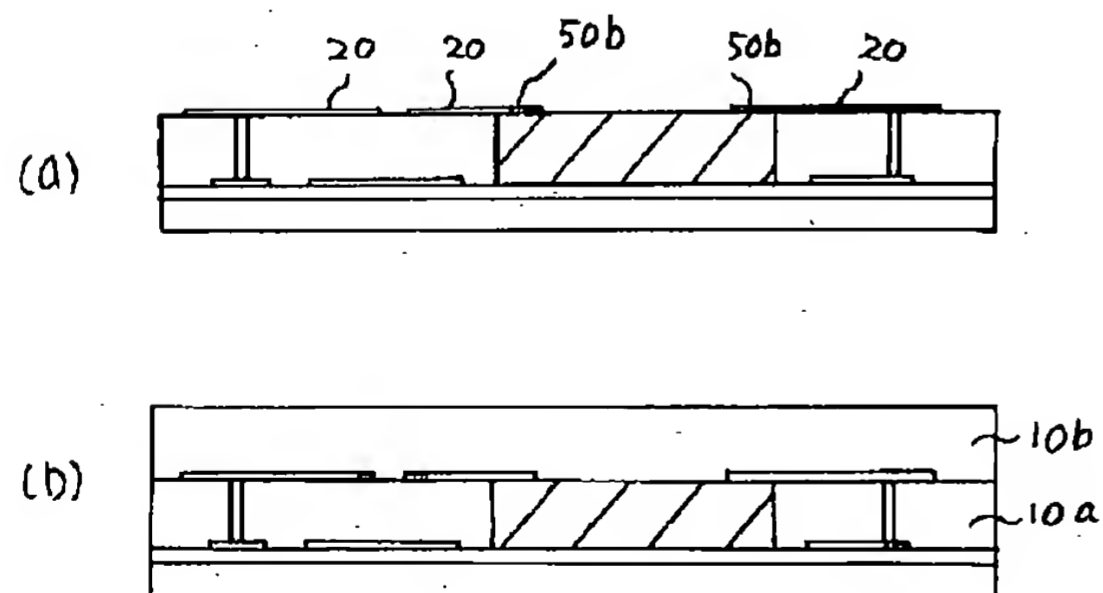
【図3】



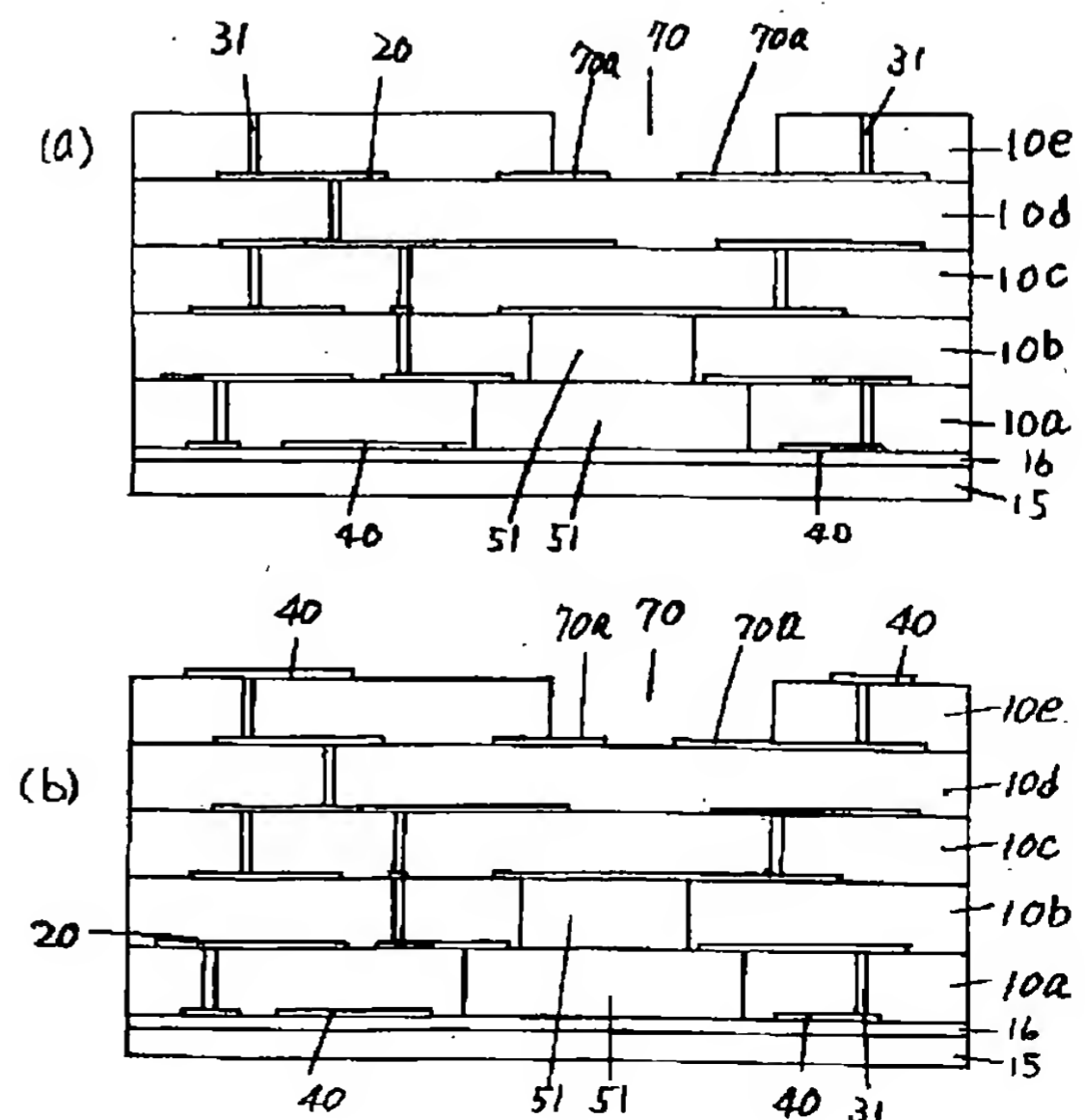
【図2】



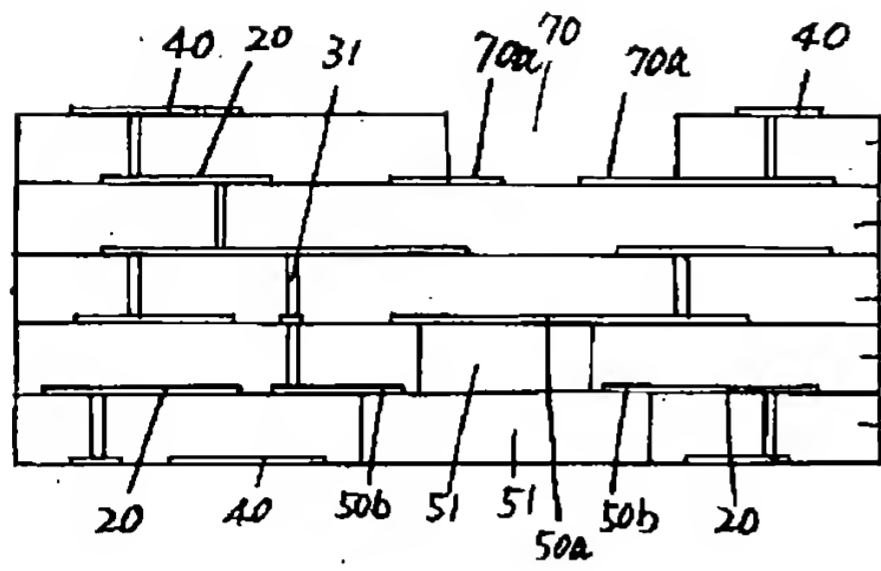
【図5】



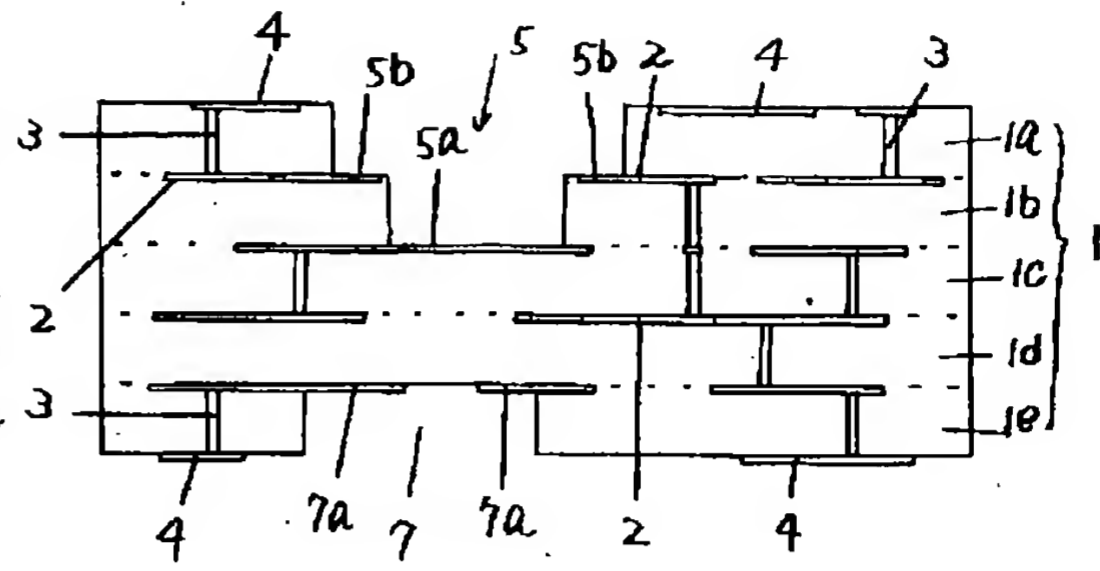
【図6】



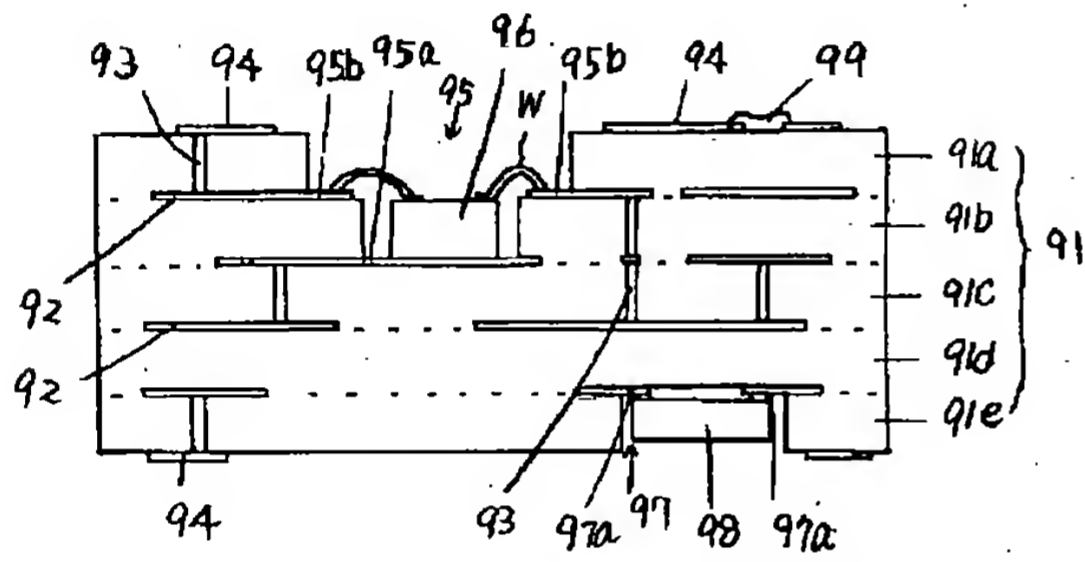
【図7】



【図8】



【図9】



【図10】

